

PSEUDO STATIC MEMORY DEVICE

Patent number: JP63155494
Publication date: 1988-06-28
Inventor: TAKEMAE YOSHIHIRO
Applicant: FUJITSU LTD
Classification:
- International: G11C11/34
- european:
Application number: JP19860301606 19861219
Priority number(s):

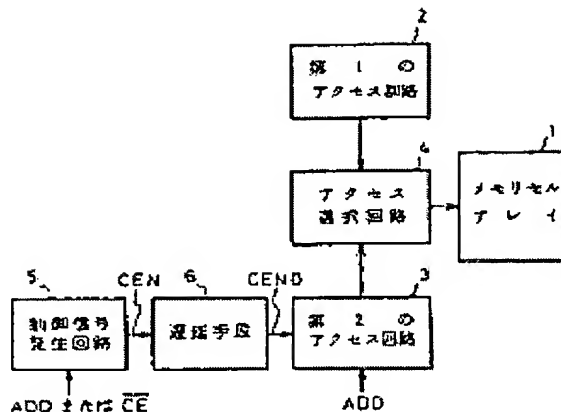
Also published as:

EP0273652 (A2)
US4809233 (A1)
EP0273652 (A3)
EP0273652 (B1)

Abstract of JP63155494

PURPOSE:To reduce a limit to an address skew, and to give a degree of freedom to an applied timing of an address signal, by always delaying a timing of access by a second circuit, by the time required for refreshing irrespective of an operation of a first circuit.

CONSTITUTION:Access by the second access circuit 3, and usual address access from the outside are always executed by being delayed by the time required for refreshing a memory cell from the time point of an address variation of an address signal ADD from the outside or a level variation of a clock signal CE irrespective of a refreshing access operation by the first access circuit 2. That is to say, a sufficiently long time is secured from the time point of the address variation to the actual access, therefore, a limit to an address skew is reduced. Also, it is unnecessary to apply the address signal ADD by depending on an applied timing of the clock signal CE, therefore, the degree of freedom can be given to an applied timing of the address signal.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-155494

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)6月28日

G 11 C 11/34

3 7 1

J-8522-5B

審査請求 有 発明の数 1 (全11頁)

⑮ 発明の名称 擬似スタティックメモリ装置

⑯ 特 願 昭61-301606

⑰ 出 願 昭61(1986)12月19日

⑱ 発 明 者 竹 前 義 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

擬似スタティックメモリ装置

2. 特許請求の範囲

複数のワード線とビット線の交差部にメモリセルを備えたメモリセルアレイ(1)と、

該ワード線を順次アドレスアクセスして該メモリセルのリフレッシュを行うための第1のアクセス回路(2)と、

外部からのアドレス信号(ADD)に応答して該ワード線をアクセス可能状態にするための第2のアクセス回路(3)と、

該第1アクセス回路と第2アクセス回路のいずれかを選択し、該選択されたアクセス回路によるアドレス指定を該メモリセルアレイに対して行うアクセス選択回路(4)と、

外部からのクロック信号(CE)のレベル変化または該アドレス信号(ADD)のアドレス変化に応答して制御信号(CEN)を発生する回路(5)と、

該制御信号(CEN)を前記メモリセルのリフレッシュを行うのに要する時間だけ遅延させ、該遅延された制御信号(CEND)を前記第2アクセス回路に供給する遅延手段(6)とを具備し、

該第2アクセス回路は、前記アクセス選択回路により選択されている時に該遅延制御信号(CEND)に応答してワード線のアドレスアクセスを行うように構成された、擬似スタティックメモリ装置。

3. 発明の詳細な説明

(概 要)

擬似スタティックメモリ装置であって、メモリセルアレイと、このメモリセルアレイに対してリフレッシュを行うための第1の回路と、外部からのアドレス信号に基づきメモリセルアレイに対してアクセス可能な第2の回路と、第1または第2の回路のいずれかを選択する回路とを有し、第2の回路によるアクセスのタイミングを第1の回路の動作にかかわらず常に、リフレッシュを行うのに要する時間だけ遅延させることにより、アドレスキューに対する制限を軽減し、アドレス信号

の印加タイミングに自由度を与える。

〔産業上の利用分野〕

本発明は、擬似スタティックメモリ装置に関し、より詳細には、外部的にはSRAM（スタティックランダムアクセスメモリ）であるが、内部的にはD（ダイナミック）RAMセルと該セルに対して自動的にリフレッシュを行う回路を備えた擬似の（pseudo）SRAM（以下、PSRAMと称する）装置に関する。

PSRAMは、DRAMの利点、すなわち主としてコストの低さ、とSRAMの利点、すなわち主として集積密度の高さ、を併せ持つメモリとして最近開発されているものであり、コンピュータ等の情報装置、電子装置等に広く用いられる。

〔従来の技術、および発明が解決しようとする問題点〕

第6図には従来形のPSRAM装置の一例が示される。同図において、メモリセルアレイ10は複数

アドレス信号CAおよび \overline{CA} 、RANおよび \overline{RAN} を出力する。アドレス信号RANおよび \overline{RAN} はアービタ17に入力され、アドレス信号CAおよび \overline{CA} はコラムデコーダ12に入力される。一方、メモリセルのリフレッシュを行うためのチップイネーブル信号CEFを所定の周期で出力するタイマ18と、この信号CEFを受けてワード線を順次アクセスするためのアドレス信号RAFおよび \overline{RAF} を出力するリフレッシュ用周辺回路19とにより内部リフレッシュ回路が構成される。上述のアービタ17は、アドレス信号RANおよび \overline{RAN} と、RAFおよび \overline{RAF} とのいずれかを入力されたタイミングに基づき選択し、ロウ側のアドレス信号RAおよび \overline{RA} としてワードデコーダ11に供給する機能を有している。なお、上述のアドレス入力の両者のタイミングが一致した場合には、リフレッシュ用のアドレス信号RAFおよび \overline{RAF} が優先される。

第7図には第6図装置においてアドレス変化時にリフレッシュ用アクセスが行われた場合のアク

のワード線とビット線（簡単化のためそれぞれ1本で表示）の交差部に1トランジスタ（Q）1キャパシタ（C）型のメモリセルMCを備え、ワード線WLはワードデコーダ11に、ビット線BLはコラムゲート13を介してコラムデコーダ12に、それぞれ接続されている。ロウ側のアドレス信号RAおよび \overline{RA} に基づいてワードデコーダ11によりワード線WLが選択され、かつ、コラム側のアドレス信号CAおよび \overline{CA} に基づいてコラムデコーダ12によりビット線BLが選択された時に、コラムゲート13が開き、これによってメモリセルMCのデータがデータバスDBおよびI/O（入出力）ゲート14を介して外部に読出し可能となり、あるいはライトイネーブル信号 \overline{WE} またはWEに基づき外部からのデータの書込みが可能となる。コラム側アクセス用周辺回路15およびロウ側アクセス用周辺回路16は、アドレス信号ADDとこのアドレス信号の変化にตอบสนองしてATO（アドレス遷移検出）回路20から出力されたチップイネーブル信号CENとに基づき、それぞれ

セス動作を説明するための波形図が示される。まず、アドレス信号ADDが変化した時点 t_0 においてはリフレッシュ用のチップイネーブル信号CEFが優先され、これに基づいてリフレッシュ用のアドレス信号RAF、 \overline{RAF} が出力され、さらにリフレッシュすべきワード線WL'が選択されて、所定のリフレッシュ動作が行われる。図中、 t_r はメモリセルのリフレッシュを行うのに要する時間を示し、第7図の例示においては説明の簡単化のために、1本のワード線WL'についてののみ示される。アドレス信号の変化時点 t_0 では実際に通常アクセス用のチップイネーブル信号CENも出力されているが、この信号CENは上記期間 t_r 中周辺回路16内にラッチされており、リフレッシュ動作終了後に有効となる。後の動作はリフレッシュ時の場合と同様であり、ワード線WLの電位が充分に立上がるとビット線BLおよび \overline{BL} にデータが読出される。アドレス変化時点 t_0 において既にリフレッシュが行われている場合には、もちろんこのリフレッシュ動作終了後に通常のアク

セス動作が行われる。すなわち、通常のアクセス動作はアドレス変化時から遅延（最大値は t_r ）して開始される。

第8図には第6図装置においてアドレス変化時にリフレッシュが行われていない場合のアクセス動作を説明するための波形図が示される。この場合には、アドレス信号ADDの変化（ t_0 の時点）にตอบสนองして通常のアクセス動作が行われる。このアクセスは t_0 の時点でのアドレス情報に基づき1本のワード線W₁を選択するためのものであり、このアドレス情報は通常、複数ビットのアドレス情報の組合せに基づいて形成されている。複数のアドレスビット信号間でアドレス変化のタイミングを完全に一致させることは極めて困難であり、通常は、第9図に示されるように各ビット間に時間的なずれ、すなわちアドレススキューASQ、が存在している。このスキューASQの大きさが所定の範囲内にある限りは第8図のアクセス動作は正常に行われるが、所定の範囲を逸脱した場合には、本来選択すべきワード線と異なる別のワー

ド線を誤選択してしまうという問題が生じる。従って、この問題を回避するためにはアドレス信号の各ビットの印加タイミングを厳密に設定する必要がある。このことは、アドレス信号ADDを供給する側の装置の構成を複雑にし、またコストの上昇をひき起こすことを意味するものである。

第10図には従来形のPSRAM装置の他の例が示される。この装置の構成は第6図装置とほとんど同じであり、構成上の相違点は、第6図のATD回路20の代わりに、外部クロック（チップインネーブル反転信号） \overline{CE} にตอบสนองしてチップインネーブル信号CENを出力するクロック発生回路21を使用していることである。他の構成および作用については第6図装置と同様であるので、その説明は省略する。

第11図には第10図装置において外部クロックのレベル変化時にリフレッシュ用アクセスが行われた場合のアクセス動作を説明するための波形図が示される。動作態様は前述した第7図の場合と同様であるが、この場合には、通常のアクセス

においてワード線W₁を選択するためのアドレス情報は t_1 の時点でのアドレス情報に基づいている。

第12図には第10図装置において外部クロックのレベル変化時にリフレッシュが行われていない場合のアクセス動作を説明するための波形図が示される。この場合には、外部クロック \overline{CE} のハイレベルからロウレベルへの変化（ t_0 の時点）にตอบสนองして通常のアクセス動作が開始されるので、この t_0 の時点より前の t_1 の時点でアドレス情報を予め設定しておく必要がある。すなわち、アドレス信号ADDの印加タイミングは、外部クロック \overline{CE} の印加タイミングに関連して設定する必要がある。このことは、第6図装置の場合と同様に、信号ADDおよび \overline{CE} を供給する側の装置の構成を複雑にし、コストの上昇をひき起こすことを意味するものである。

本発明は、上述した従来技術における問題点を鑑み創作されたもので、アドレス信号を供給する側の装置の構成を複雑にすることなく、アドレス

スキューに対する制限を軽減し、アドレス信号の印加タイミングに自由度を与えることができる擬似スタティックメモリ装置を提供することを目的としている。

〔問題点を解決するための手段〕

第1図には本発明による擬似スタティックメモリ装置の原理ブロック図が示される。

第1図において1は複数のワード線とビット線の交差部にメモリセルを備えたメモリセルアレイであり、2はメモリセルアレイのワード線を順次アドレスアクセスしてメモリセルのリフレッシュを行うための第1のアクセス回路を示す。3は外部からのアドレス信号ADDにตอบสนองしてメモリセルアレイのワード線をアクセス可能状態にするための第2のアクセス回路を示し、4はアクセス選択回路であって、第1アクセス回路2と第2アクセス回路3のいずれかを選択し、この選択された方の回路によるアドレス指定をメモリセルアレイ1に対して行うための回路である。

5は外部からのアドレス信号ADDのアドレス変化またはクロック信号CEのレベル変化にตอบสนองして制御信号CENを発生する回路を示す。6は遅延手段であって、制御信号発生回路5からの信号CENをメモリセルのリフレッシュを行うのに要する時間だけ遅延させ、その遅延制御信号CENDを第2アクセス回路3に供給する機能を有している。そして、この第2アクセス回路3は、アクセス選択回路により選択されている時に上述の遅延制御信号CENDにตอบสนองしてワード線のアドレスアクセスを行うようになっている。

(作用)

本発明の擬似スタティックメモリ装置においては、第2アクセス回路3によるアクセス、すなわち外部からの通常のアドレスアクセスは、第1アクセス回路2によるリフレッシュ用のアクセス動作にかかわらず常に、外部からのアドレス信号ADDのアドレス変化またはクロック信号CEのレベル変化の時点からメモリセルのリフレッシュ

リセルMCに接続されたワード線WLを選択するためのものである。12はコラムデコードであって、コラム側のアドレス信号CAおよびCAに基き、メモリセルMCに接続されたビット線BLをコラムゲート13を介して選択するためのものである。このコラムゲート13はワード線WLおよびビット線BLが選択された時に開き、これによってメモリセルMCとのデータがデータバスDBおよびI/Oゲート14を介して外部に読出し可能となり、あるいはライトイネーブル信号WEまたはWEに基き外部からのデータの書込みもしくは再書込みが可能となる。15および16はそれぞれコラム側、ロウ側のアクセス用周辺回路であって、アドレス信号ADDとこのアドレス信号の変化にตอบสนองしてATD回路20から出力されるチップイネーブル信号CENとに基き、それぞれアドレス信号CAおよびCA、RANおよびRANを出力する。一方、タイマ18はメモリセルのリフレッシュを行うためのチップイネーブル信号CEFを所定の周期で出力し、リフレッシ

を行うのに要する時間だけ遅延して、実行されるようになっている。すなわち、アドレス変化の時点から実際のアクセスまで十分に長い時間が確保されているので、アドレス変化時におけるアドレスキューに起因する問題点は解決され得る。また、クロック信号CEの印加タイミングに依存してアドレス信号ADDを印加する必要はないので、アドレス信号の印加タイミングに自由度を与えることができる。これは、アドレス信号を供給する側の装置の構成を簡素化することに寄与する。

(実施例)

第2図には本発明の一実施例としてのPSRAM装置が示される。同図において、メモリセルアレイ10は複数のワード線とビット線の交差部に1トランジスタ(Q)1キャパシタ(C)型のダイナミック形メモリセルMCを備えており、図示の例では簡単化のためにメモリセルは1個のみ表示されている。11はワードデコードであって、ロウ側のアドレス信号RAおよびRAに基き、メモ

リセルMCに接続されたワード線WLを選択するためのものである。12はコラムデコードであって、コラム側のアドレス信号CAおよびCAに基き、メモリセルMCに接続されたビット線BLをコラムゲート13を介して選択するためのものである。このコラムゲート13はワード線WLおよびビット線BLが選択された時に開き、これによってメモリセルMCとのデータがデータバスDBおよびI/Oゲート14を介して外部に読出し可能となり、あるいはライトイネーブル信号WEまたはWEに基き外部からのデータの書込みもしくは再書込みが可能となる。15および16はそれぞれコラム側、ロウ側のアクセス用周辺回路であって、アドレス信号ADDとこのアドレス信号の変化にตอบสนองしてATD回路20から出力されるチップイネーブル信号CENとに基き、それぞれアドレス信号CAおよびCA、RANおよびRANを出力する。一方、タイマ18はメモリセルのリフレッシュを行うためのチップイネーブル信号CEFを所定の周期で出力し、リフレッシ

\overline{RAN} が有効となる。

A T D回路20から出力されるチップイネーブル信号CENは、2つのアクセス用周辺回路15および16に入力されると共に、遅延回路22と別のA T D回路23にも入力される。遅延回路22は、入力された信号CENを、メモリセルのリフレッシュを行うのに要する時間(以下、 t_r で表わす)とほとんど同じ時間だけ遅延させ、遅延信号CEN'としてA T D回路23に供給する機能を有している。A T D回路23は、アドレス信号ADDを受信しており、A T D回路20からのチップイネーブル信号CENを受信した時に該信号CENのアドレス情報を記憶すると共に、遅延回路22からの信号CEN'を受信した時に該信号CEN'のアドレス情報を記憶し、さらに両者のアドレス情報を比較し、一致した時に制御信号CENDを出力する機能を有している。言い換えると、この制御信号CENDは、信号CENの発生時点から信号CEN'の発生時点までの間にアドレス信号ADDのアドレス情報に変化が生じなかつ

た場合に発生される。このチップイネーブル信号CENの発生時点から遅延制御信号CENDの発生時点までに要する時間は、前述のメモリセルのリフレッシュを行うのに要する時間 t_r と等しくなるように設定されている。この制御信号CENDは、ワードデコーダ11、コラムデコーダ12、コラムゲート13および1/Oゲート14に供給される。なお、信号CENとCEN'に基づくアドレス情報が一致しない場合には、両者のアドレス情報が一致するまで制御信号CENDの発生は停止させられる。

第3図には第2図装置のアクセス動作の一例を説明するための波形図が示される。第3図の例示は、アドレス変化時にリフレッシュが行われていない場合のアクセス動作を示すものである。

まず、アドレス信号ADDの変化(t_0 の時点)にตอบสนองしてチップイネーブル信号CENが発生し、この信号を受けてアクセス用周辺回路15および16からそれぞれアドレス信号CAおよび \overline{CA} (図示せず)、 \overline{RAN} および \overline{RAN} が出力される。

このロウ側のアドレス信号RANおよび \overline{RAN} はアービタ17を通して、信号RAおよび \overline{RA} としてワードデコーダ11に供給される。しかし、この時点では未だアドレスアクセスは実行されていない。一方、チップイネーブル信号CENが出力されると、遅延回路22を通して信号CEN'が出力される。この間、アドレス信号ADDのアドレス情報に変化がないので、制御信号CENDがA T D回路23から出力される。この制御信号CENDを受けて、ワードデコーダ11、コラムデコーダ12等の各回路が機能し、この時点でアドレスアクセスが行われる。ワード線WLの電位が十分に立上ると、ビット線B1および $\overline{B1}$ にデータが読出される。

なお、アドレス変化時点 t_0 において既にリフレッシュが行われている場合には、もちろんこのリフレッシュ動作終了後に通常のアクセス動作が行われるが、この動作の開始時点は、リフレッシュ動作終了直後ではなく、アドレス変化時点 t_0 から時間 t_r だけ遅延した時点である。また、アドレ

ス変化時点 t_0 においてリフレッシュ用アクセスが行われた場合には、前述したようにこの時点 t_0 から以降リフレッシュ動作が優先され、この動作終了後、すなわち時点 t_0 から時間 t_r だけ遅延した時点で通常のアクセス動作が開始される。

以上説明したように第2図実施例の装置によれば、アドレス変化時点から実際のアクセスまで十分に長い時間 t_r が確保されているので、アドレス変化時におけるアドレススキューに起因する問題点、例えばワード線の誤選択、は解決される。

第4図には本発明の他の実施例としてのPSRAM装置が示される。この実施例の構成は第2図実施例とほとんど同じである。構成上の相違点は、第2図のA T D回路20および23と遅延回路22の代わりに、チップイネーブル反転信号 \overline{CEN} にตอบสนองしてチップイネーブル信号CENを出力するクロック発生回路21と、この信号CENを前述の所定時間 t_r だけ遅延させ、制御信号CENDとしてアクセス用周辺回路15および16に供給する遅延回路24と、タイマ18とリフレッシュ用周

辺回路19の間に介在され、信号CENを受けて信号CEFの伝達を禁止するゲート回路25とを用いていることである。他の構成および作用については第2図装置と同様であるので、その説明は省略する。

第5図には第4図装置のアクセス動作の一例を説明するための波形図が示される。第5図の例示は、外部クロック \overline{CE} のレベル変化時にリフレッシュが行われていない場合のアクセス動作を示すものである。

まず、外部クロック \overline{CE} のハイレベルからローレベルの変化(t_0 の時点)にตอบสนองしてチップイネーブル信号CENが発生し、通常のアクセス動作のための準備がなされる。同時に、この信号CENを受けてゲート回路25が閉じ、これによってリフレッシュ用アクセスが禁止される。また、遅延回路24はこの信号CENを所定時間 t_r 、すなわちメモセルのリフレッシュを行うのに要する時間、だけ遅延させ、遅延制御信号CENDとして出力する。この信号CENDを受けてアクセス用周

辺回路15および16が機能し、そしてアドレスアクセスが行われ、ワード線WLの電位が立上る。その結果、ビット線BLおよび \overline{BL} にデータが読出される。

このように、外部クロック \overline{CE} のレベル変化時から実際のアクセスまで十分に長い時間 t_r を確保することにより、アドレス信号ADDのアドレス変化時点 t_s を時点($t_0 + t_r$)までの任意の時点に設定することができる。従って、従来形(破線表示)のように外部クロック \overline{CE} のレベル変化時点 t_0 より前の時点 t_s でアドレス情報を予め設定しておく必要がないので、アドレス信号の印加タイミングに自由度を与えることができる。

なお、外部クロック \overline{CE} のレベル変化時点 t_0 において既にリフレッシュが行われている場合、あるいはリフレッシュ用アクセスが行われた場合のアクセス動作については、第2図装置の場合と同様であるので、その説明は省略する。

(発明の効果)

以上説明したように本発明によれば、アドレス信号を供給する側の装置の構成を複雑にすることなく、アドレススキューに対する制限を軽減し、アドレス信号の印加タイミングに自由度を与えることができる。

4. 図面の簡単な説明

第1図は本発明による擬似スタティックメモリ装置の原理ブロック図、

第2図は本発明の一実施例を示すブロック図、

第3図は第2図装置のアクセス動作の一例を説明するための波形図、

第4図は本発明の他の実施例を示すブロック図、

第5図は第4図装置のアクセス動作の一例を説明するための波形図、

第6図は従来形の一例を示すブロック図、

第7図は第6図装置においてアドレス変化時にリフレッシュ用アクセスが行われた場合のアクセス動作説明図、

第8図は第6図装置においてアドレス変化時に

リフレッシュが行われていない場合のアクセス動作説明図、

第9図は第6図装置における問題点を説明するためのアドレス信号波形図、

第10図は従来形の他の例を示すブロック図、

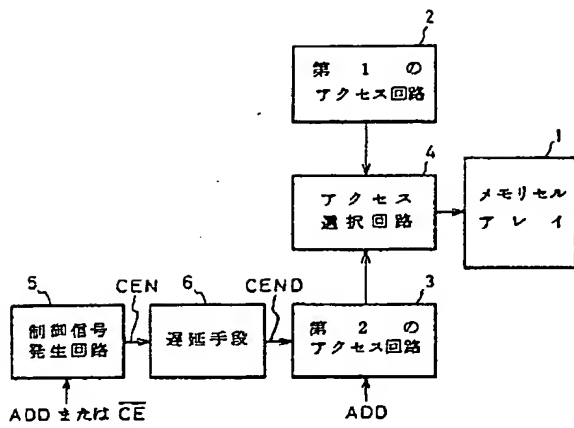
第11図は第10図装置において外部クロックのレベル変化時にリフレッシュ用アクセスが行われた場合のアクセス動作説明図、

第12図は第10図装置において外部クロックのレベル変化時にリフレッシュが行われていない場合のアクセス動作とその問題点を説明するための波形図、

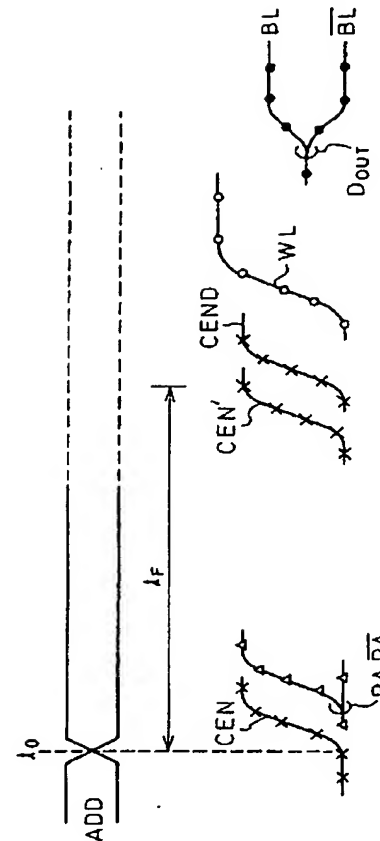
である。

(符号の説明)

- 1…メモセルアレイ、2…第1アクセス回路、
3…第2アクセス回路、4…アクセス選択回路、
5…制御信号発生回路、6…遅延手段、
ADD…アドレス信号、 \overline{CE} …外部クロック信号、
CEN…制御信号、CEND…遅延制御信号。

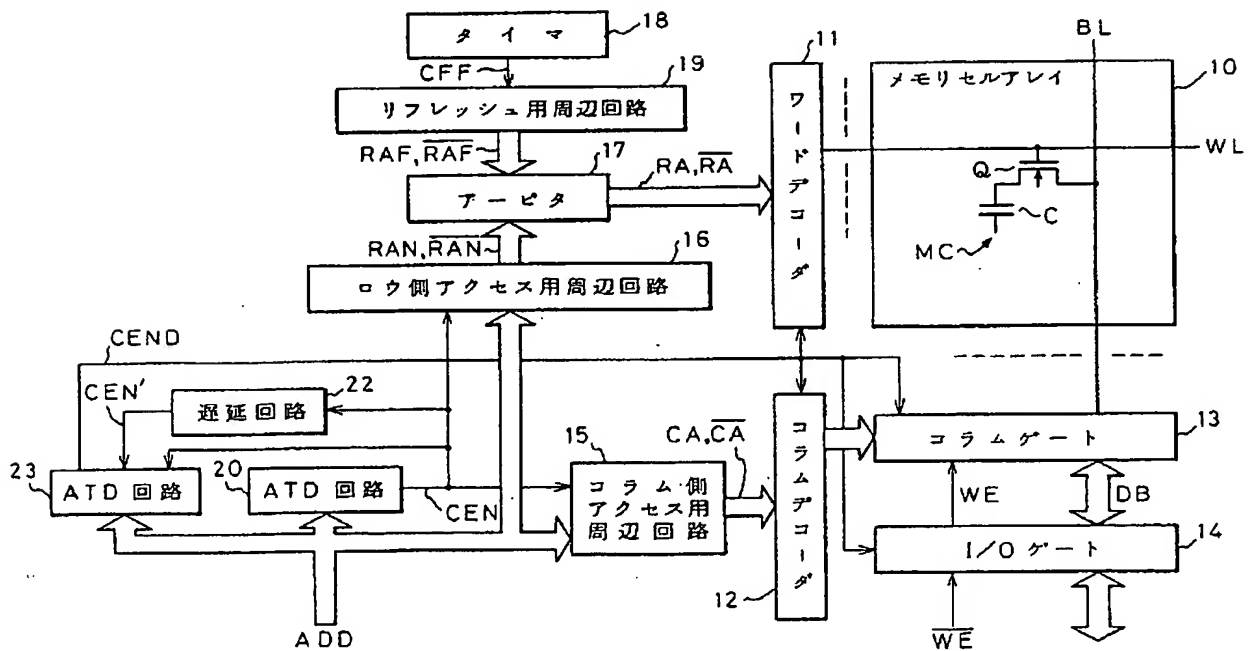


本発明の原理ブロック図
第 1 図



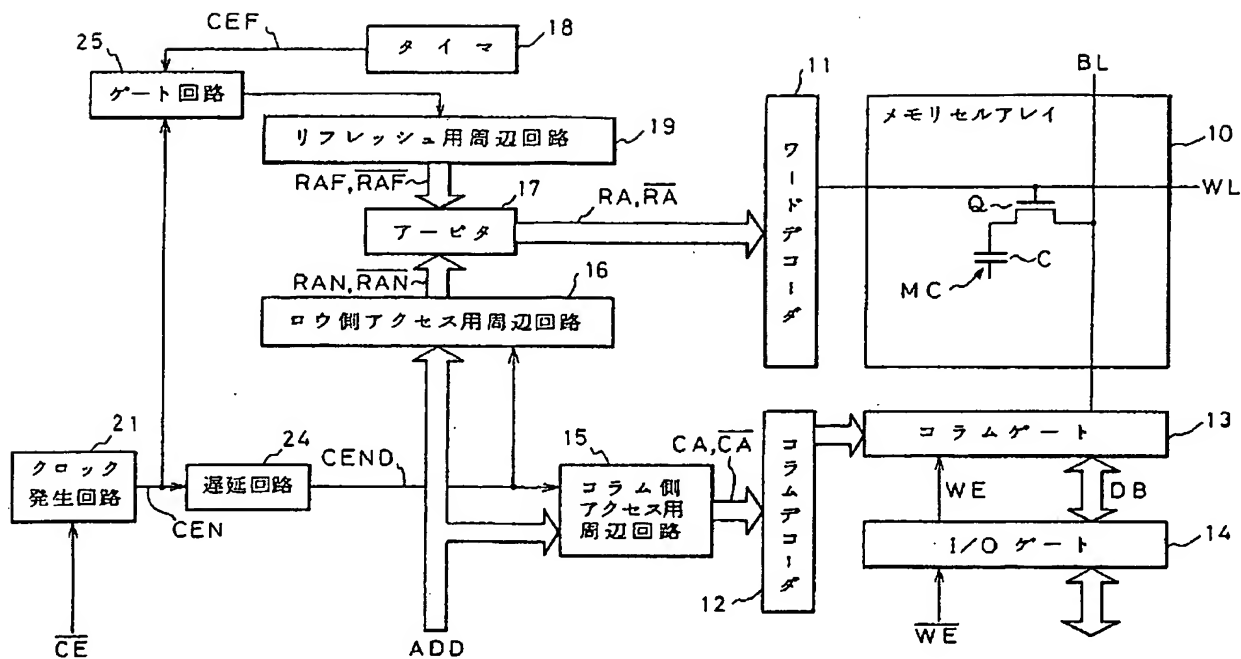
第 2 図装置のアクセス動作の一例を説明するための波形図

第 3 図



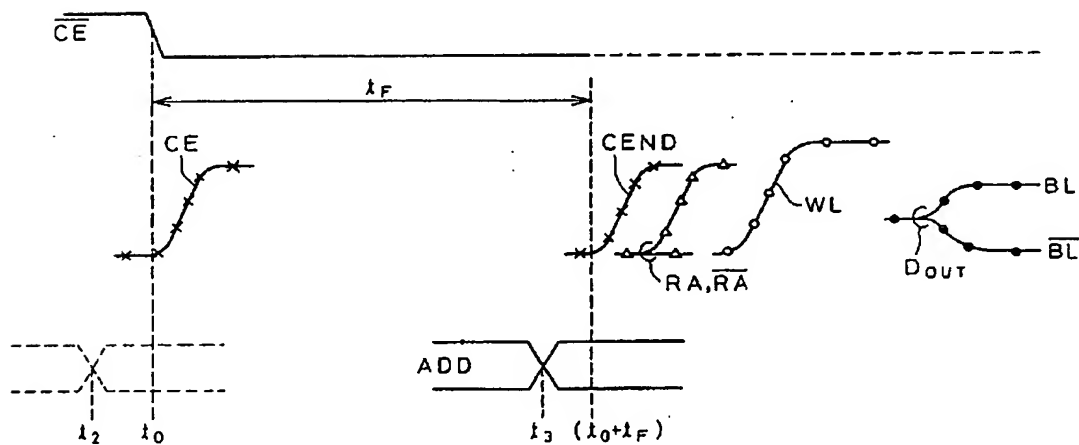
本発明の一実施例を示すブロック図

第 2 図



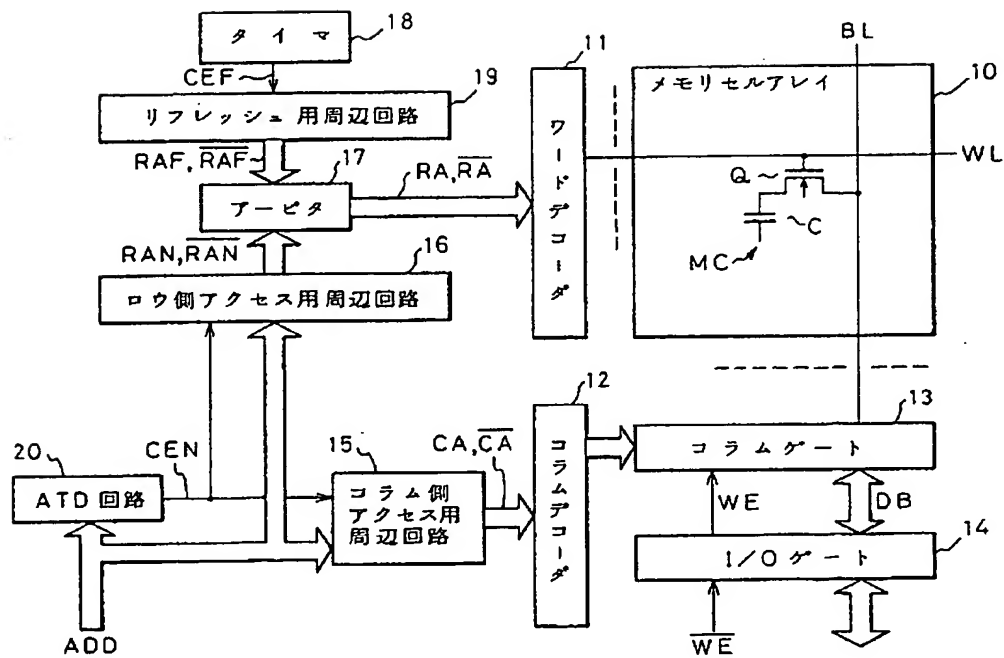
本発明の他の実施例を示すブロック図

第 4 図



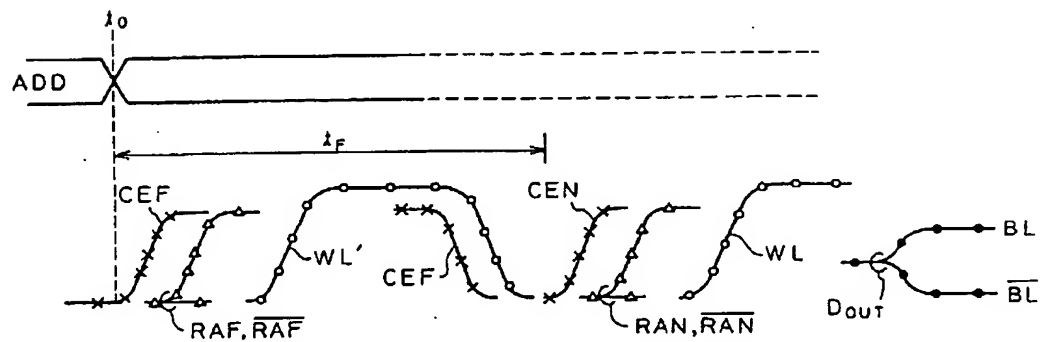
第4図装置のアクセス動作の一例を説明するための波形図

第 5 圖



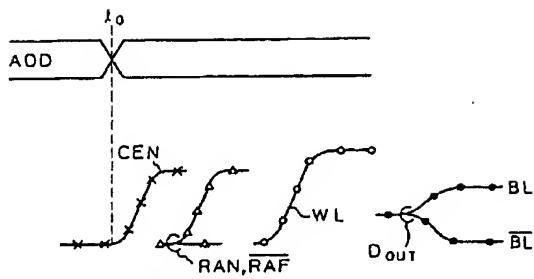
従来形の一例を示すブロック図

第 6 図



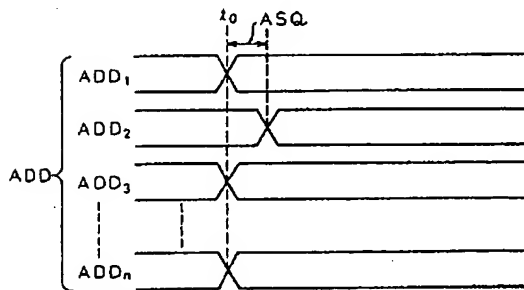
第 6 図装置のリフレッシュ時のアクセス動作説明図

第 7 図



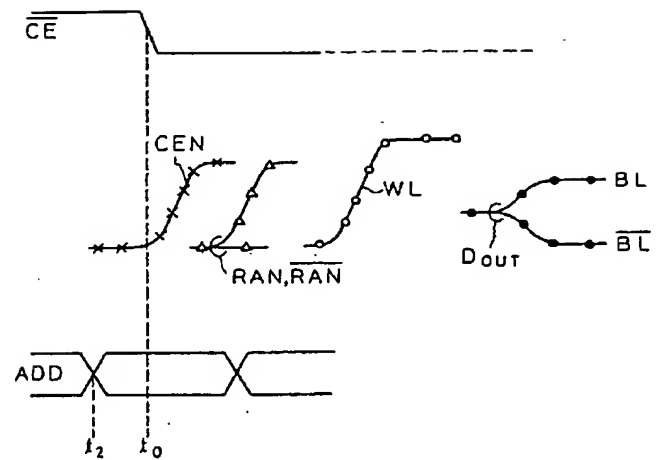
第6図 装置の非リフレッシュ時のアクセス動作説明図

第 8 圖



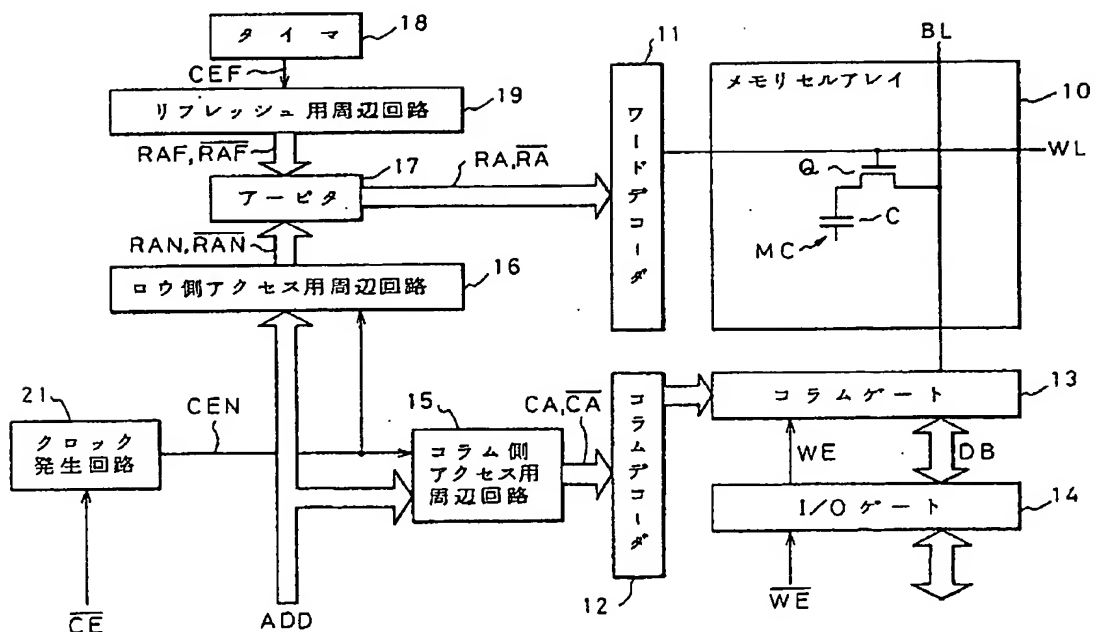
第6図装置における問題点を説明
するためのアドレス信号波形図

第 9 圖



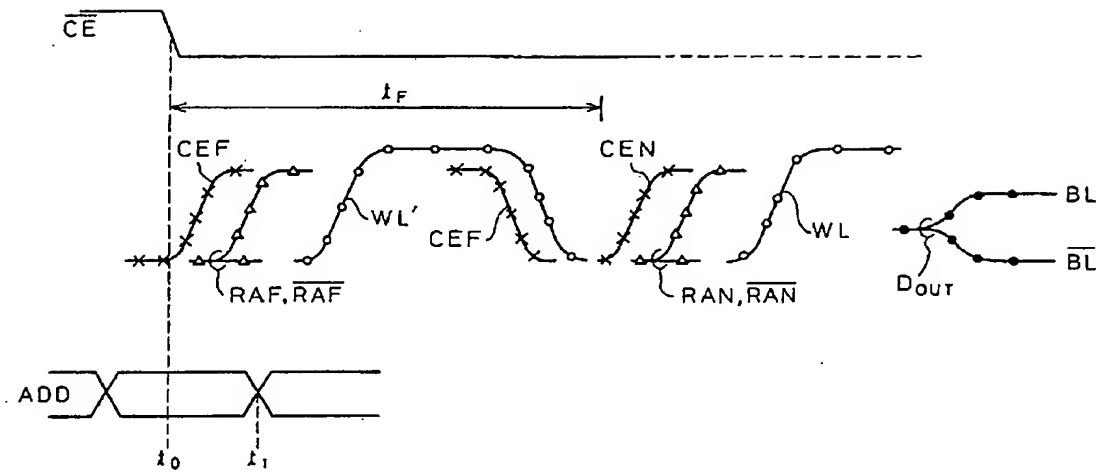
第10図装置の非リフレッシュ時のアクセス動作とその問題点を説明するための波形図

第 12 図



従来形の他の例を示すブロック図

第 10 圖



第10図装置のリフレッシュ時のアクセス動作説明図

第11図